

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-298598

(43)Date of publication of application : 11.10.2002

(51)Int.Cl.

G11C 29/00  
G01R 31/28  
G01R 31/3183

(21)Application number : 2001-099323

(71)Applicant : HITACHI LTD  
HITACHI ULSI SYSTEMS CO LTD

(22)Date of filing : 30.03.2001

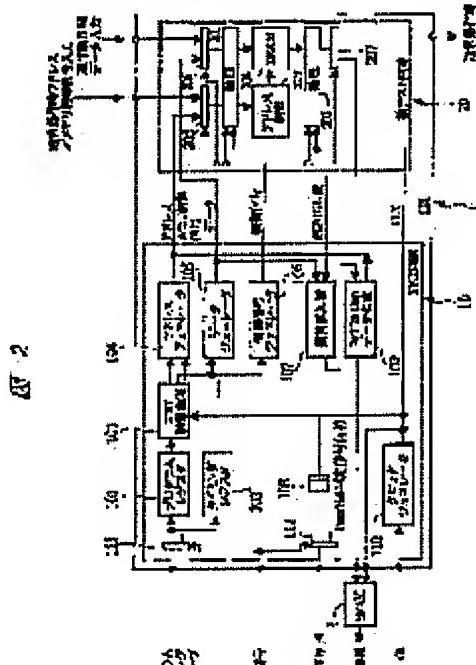
(72)Inventor : OKUMURA ATSUSHI  
HASEGAWA MASATOSHI  
KOBAYASHI TORU  
NAKAYAMA MICHIAKI  
SAKAKIBARA HIDEKI  
KITAMURA NOBUAKI  
YOKOYAMA YUJI  
MIYAOKA SHUICHI  
SAWAMOTO HIDEO  
NISHIYAMA TAKASHI  
KUME SHOJI

## (54) SEMICONDUCTOR DEVICE, AND TEST METHOD FOR SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide test technology of a semiconductor device which can output redundancy relieving information to a high speed SRAM in the outside of a LSI at high speed, and can read out redundancy relieving information stored in the SRAM at low speed with a low speed tester after finish of the test.

**SOLUTION:** A test device of a semiconductor device is constituted of a LSI 1 including a BIST circuit and a circuit to be tested, a tester for testing a circuit to be tested of the LSI 1, a SRAM 3 for holding a test result of the circuit to be tested of the LSI 1, or the like. The



device is provided with a pass/fail discrimination signal holding circuit 108 holding a pass/fail discrimination signal inside the BIST circuit 10, and a fail bit map data generating circuit 109 outputting fail bit map information at high speed. The device outputs fail bit map information of a DRAM 204 at high speed to the high speed SRAM 3 of the outside of the LSI 1, and reads out fail bit map information of this SRAM 3 with a low speed tester after finish of a test.

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開  
特開2002-21  
(P2002-2984)

(43)公開日 平成14年10月11日

(61)IntCl.  
G 11 C 29/00  
G 01 R 31/28  
31/3183

識別記号  
671  
651  
675

F I  
G 11 C 29/00  
G 01 R 31/28  
B  
V

審査請求 未請求 請求項の数7 OL (全 19 頁)

(21)出願番号 特願2001-99323(P2001-99323)

(22)出願日 平成13年3月30日(2001.3.30)

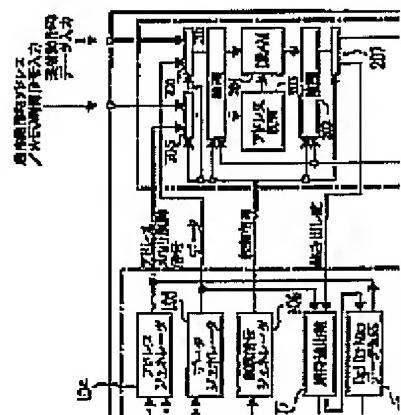
(71)出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四(71)出願人 000233169  
株式会社日立越エル・エス・エムズ  
東京都小平市上水本町 5丁目1(72)発明者 奥村 敏  
東京都青梅市新町六丁目16番  
金谷日立製作所デバイス開発(74)代理人 100080001  
弁理士 鈴井 大和

(54)【発明の名称】 半導体装置、および半導体装置のテスト方法

## (57)【要約】

【課題】 LSIの外部の高速なSRAMに高速で冗長救済情報を出力し、テスト終了後に低速なテストでSRAMに蓄えておいた冗長救済情報を低速で読み出すことができる半導体装置のテスト技術を提供する。

【解決手段】 BIST回路と被テスト回路を含むLSIと、LSIの被テスト回路をテストするためのテストと、LSIの被テスト回路のテスト結果を保持するためのSRAMなどから構成される半導体装置のテスト装置であって、BIST回路10の内部にバス/フ



(2) 特開2002-

1

## 【特許請求の範囲】

【請求項1】 メモリ回路と、前記メモリ回路のテスト結果であるバス／フェイル判定の情報と、フェイルアドレス情報を出力するための回路とを有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記メモリ回路をテストするテスト制御信号のタイミングを設定するためのレジスタをさらに有することを特徴とする半導体装置。

【請求項3】 メモリ回路と、このメモリ回路をテストするためのBIST回路とを含み、このBIST回路は、

前記メモリ回路のテストプログラムを記憶するための第1レジスタと、

前記メモリ回路のテスト制御信号のタイミングを設定するための第2レジスタと、

前記第1レジスタに記憶されたテストプログラムおよび前記第2レジスタに記憶されたテスト制御信号のタイミングで前記メモリ回路をテストし、バス／フェイル判定情報とフェイルアドレス情報を出力するための回路とを有することを特徴とする半導体装置。

【請求項4】 メモリ回路と、このメモリ回路の入力／出方に接続された論理回路と、前記メモリ回路および前記論理回路をテストするためのBIST回路とを含み、このBIST回路は、

前記メモリ回路および前記論理回路のテストプログラムを記憶するための第1レジスタと、

前記メモリ回路および前記論理回路のテスト制御信号のタイミングを設定するための第2レジスタと、

前記第1レジスタの出力に基づいて制御動作を行う制御回路と、

前記制御回路により前記論理回路を活性状態にしたときは前記第1レジスタに記憶されたテストプログラムおよび前記第2レジスタに記憶されたテスト制御信号のタイミングで前記論理回路と前記メモリ回路が接続された通常動作状態をテストし、前記論理回路を非活性状態にしたときは前記第1レジスタに記憶されたテストプログラムおよび前記第2レジスタに記憶されたテスト制御信号のタイミングで前記メモリ回路のみを直接テストし、バス／フェイル判定情報およびフェイルアドレス情報を出

10

2

アドレス情報を取得するためのテストと、前記メモリ回路のフェイルアドレス情報の回路から前記メモリ装置に出力して、1に前記メモリ回路のフェイルアドレス情報前記メモリ装置に書き込まれた前記メモリアドレス情報を前記テストに読み出し、て前記メモリ回路のフェイルアドレス情報を特徴とする半導体装置のテスト方法。

【請求項6】 メモリ回路、およびこのメモリアドレス情報を出力するための回路と、

前記半導体装置の外部に接続され、前記メモリ情報を出力するための回路から出力される回路のフェイルアドレス情報を保持するメモリ装置と、

前記複数のメモリ装置に保持された前記メモリアドレス情報を取得するためのテ、前記メモリ回路をテストした結果であるメモリ情報を出力するための回路から前記複数

20 出力して、前記メモリ装置のそれぞれのフェイルアドレス情報を書き込み、前記メモリ装置のそれぞれに書き込まれたメモリアドレス情報を前記テストし、前記テストにて前記メモリ回路の情報を取得することを特徴とする半導体装置。

【請求項7】 請求項6記載の半導体装置において、

前記メモリ装置のそれぞれに前記メモリアドレス情報の書き込みを行う際に、前からクロックを前記メモリ装置のそれぞれを特徴とする半導体装置のテスト方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術】本発明は、半導体技術に関し、特に内部にメモリ回路とBuilt-in Self Test(BIST)回路を用いて高速化が進むメモリを行なう場合に好適な半導体装置、およびテスト方法に適用して有効な技術に関する。

(3)

特閱2002-

3

4

[0003]

【発明が解決しようとする課題】本発明者は、半導体装置のテスト技術について検討した結果、以下のようなことを明らかとした。たとえば、前記両公報の技術はいずれも、テストパターンの生成、テスト命令の順序付けは可能となるものの、高速化が進むDRAMのテストを行おうとする場合に生ずる課題、すなわち高速化対応の外部テストを必要とする課題や、高速なテスト結果の出力の処理の課題などに応えることが難しいものとなっている。これらの課題に対する対策がDRAMの高速化が進むにつれて求められている。

[0004] すなわち、近年のように、DRAMの高速化が進んでくると、それに応じて高遠テストが必要となってくる。しかしながら、DRAMの設計、製造の早さとの関係から望むべき高遠テストが得られない可能性も生ずる。望むべき高速テストを得ることが可能であったとしても、高遠テストは、中速テストのような通常的なテストに比べ、たとえば数十倍もの高価格となってしまう可能性を持つ。その結果、望むべきテストができなかったり、DRAMのテストコストが非常に大きなものとなってしまう可能性が生ずる。このような背景から、DRAMにおいても、テストコスト削減のため、安価な低速テストで高遠テストを可能とするLSI内蔵のBIST回路でテストを行う必要が生じている。

[0005] そこで、たとえば、外部クロックを内部で倍増することによって、テストの限界周波数以上の周波数でテスト動作するようなBIST回路技術が考慮される。この技術によれば、LSIにおけるメモリ回路を高速にテストすることができる。しかし、この場合には、LSIの動作周波数の方が外部テストの周波数よりも高いため、テスト結果をLSIから直接読み出すことができない。そこでさらに、テストのバス/ファイルの情報などはLSI内の保持回路やメモリ回路に一時記憶させ、テスト終了後に低速のテストで読み出す方式が考慮される。LSIが冗長数据回路を持つ場合、それに応じて冗長数据情報を取得する必要がある。しかし、冗長数据情報はバス/ファイル情報とは異なり、データ量が著しく大きい。そのため、冗長数据情報をLSI内に記憶させることは適当でない。

[0006] そこで、本発明の1つの目的は、冗長数値

なるであろう。

[0010]

【課題を解決するための手段】本発明における発明のうち、代表的なものの概要を簡単に次のとおりである。

【0011】本発明は、前記目的を達成するため、バス/ファイルの情報を低速で出力するのに、ファイルアドレスの冗長数据情報を削除するための回路を設ける、②LSIとテスト用RAMを設ける、③BIST回路内にメモリタイミングを設定するレジスタを設ける、回路内に論理回路の活性化/非活性化を制御するようにしたものである。

【0012】すなわち、本発明による半導体メモリ回路と、このメモリ回路をテストした際の結果と、並びに、この結果を出力するための回路とを特徴とするものである。特に、テストに高速で出力されるフェイルアドレスの検出結果は比較的に低速で出力されるバス、  
20 の情報とし、さらにメモリ回路をテストするための回路と、信号のタイミングを設定するための回路としたものである。

【0013】また、本発明による他の半導体モリ回路と、このメモリ回路をテストするBIST回路とを組み、このBIST回路が、ストップログラムを記憶するための第1レジ斯特制御信号のタイミングを設定するためなど、各レジスタに記憶されたストップログラムを記憶するための第2レジ斯特制御信号のタイミングでメモリ回路のテスト結果および選別テスト結果を出力する回路とを有することを特徴とするものであ

【0014】また、本発明によるさらには、メモリ回路と、このメモリ回路の入力された論理回路と、メモリ回路および論理回路とを含み、このBIST回路とを含み、これが、メモリ回路および論理回路のテスト機能するための第1レジスタと、テスト訓練するための第2レジスタと、訓練を設定するための第3レジスタと、非活性を制御するための制御回路と、より論理回路を活性状態にしたときは各

(4)

特開2002-

5

続され、出力されたメモリ回路のテスト結果を保持するためのメモリ装置と、このメモリ装置に保持されたテスト結果を判定するためのテスタとを有する構成において、メモリ回路をテストしたテスト結果をテスト結果を出力するための回路からメモリ装置に出力して、メモリ装置にメモリ回路のテスト結果を比較的に高速で書き込み、このメモリ装置に書き込まれたメモリ回路のテスト結果をテスタにより比較的に低速で読み出し、このテスタにてメモリ回路のテスト結果を判定することを特徴とするものである。特に、テスト結果は比較的に高速で出力されるフェイルアドレスの情報とするものである。

【0016】また、本発明による他の半導体装置のテスト方法は、メモリ回路およびこのテスト結果を出力するための回路を含む半導体装置と、この半導体装置の外部に接続され、出力されたメモリ回路のテスト結果を保持するための複数のメモリ装置と、この複数のメモリ装置に保持されたテスト結果を判定するためのテスタとを有する構成において、メモリ回路をテストしたテスト結果をテスト結果を出力するための回路から複数のメモリ装置に出力して、メモリ装置のそれぞれにメモリ回路のテスト結果を比較的に高速でインターリーブ方式により書き込み、このメモリ装置のそれぞれに書き込まれたメモリ回路のテスト結果をテスタにより比較的に低速でインターリーブ方式により読み出し、このテスタにてメモリ回路のテスト結果を判定することを特徴とするものである。特に、メモリ回路のテスト結果をインターリーブ方式により書き込みを行う際に、半導体装置から比較的に高速なインターリーブ用のクロックをメモリ装置のそれぞれに供給するものである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

【0018】まず、図1により、本実施の形態の半導体装置のテスト装置の概略構成の一例を説明する。図1は本実施の形態の半導体装置のテスト装置を示す概略構成図である。

【0019】本実施の形態の半導体装置のテスト装置は、たとえば内部にメモリ回路とBIST回路を有する

サ（図示せず）などからアドレス/データが入力され、またデータが出力される。また、LSI1には、BIST回路テスト時に、外部のテスタ2から外部ケーブルBISTプログラム/タイミング、プロト、BIST活性化信号が入力され、パス（Pass）/フェイル（Fail）が生成され、またSRAM3に対してシステムクロックCLK、アドレス信号、データ、制御信号が生成されてOに印加される。また、被テスト回路2の値が出力され、BIST回路10に入り、BIST回路10、被テスト回路20に入り、図2において後述する。

【0021】テスタ2は、LSI1の機能をテストするための外部クロックCLK、プログラム/タイミング、プログラムストップ活性化信号を供給するとともに、選別テスター/フェイル判定信号を直接取得し、またしてテスト結果のフェイルビットマップためのテスト装置である。たとえば、限られた動作周波数による低速テスタが、のテスト2から与える低い動作周波数のCLKが、LSI1の内部のクロックジェネレータ、これが比較的に高い周波数で動作するシステムクロックCLKとして使用され、テスト結果について、選別テスト結果のバス信号はBIST回路10の内部に保持され、SRAM3に保持されたフェイル情報はテスト終了後に低速で読み出される。

【0022】SRAM3は、LSI1に接続され、1とテスタ2の間に設けられ、LSI1の10から出力されるシステムクロックCLKにより比較的に高速で出力されるテスト結果のバス

(5)

特開2002-

7

【0023】次に、図2により、LSIを構成するBIST回路、被テスト回路の構成の一例を説明する。図2はBIST回路、被テスト回路を詳細に示す構成図である。

【0024】BIST回路10は、たとえばプログラムレジスタ101、タイミングレジスタ102、BIST制御論理回路103、アドレスシェーネレータ104、データシェーネレータ105、副御信号シェーネレータ106、期待値比較回路107、バス／フェイル判定信号保持回路108、フェイルビットマップデータ生成回路109、クロックシェーネレータ110や、複数のセレクタ111、112などからなり、それぞれ以下のような機能を有する。なお、セレクタ111、112は、外部から入力されるBIST活性化信号により制御される。

【0025】プログラムレジスタ101は、テスト2からセレクタ111を介して入力されるBISTプログラムを記憶するための回路である。このプログラムレジスタ111のBISTプログラムに従って、LSI1の被テスト回路20のテストが行われる。また、このBISTプログラムは、プログラムストローブにより入力が許可される。

【0026】タイミングレジスタ102は、テスト2からセレクタ111を介して入力されるBISTタイミングを記憶するための回路である。このタイミングレジスタ112のBISTタイミングで、LSI1の被テスト回路20にテスト制御信号が入力される。

【0027】BIST制御論理回路103は、プログラムレジスタ101からのBISTプログラムに基づいて、アドレス／メモリ制御信号、データ、制御信号などを発生させるためのBIST動作を制御するための論理回路である。

【0028】アドレスシェーネレータ104は、BIST制御論理回路103のBIST動作による情報、タイミングレジスタ102からの情報に基づいて、アドレス／メモリ制御信号を発生するための回路である。このアドレスにはロウアドレス、カラムアドレスが含まれ、またメモリ制御信号には、ロウアドレスストローブ、カラムアドレスストローブ、ライトイネーブルなどの制御信号が含まれる。

【0029】データシェーネレータ105は、BIST制

【0031】期待値比較回路107は、i0から出力されるテスト結果の読み出しエネレータ105から発生されたテストデータの期待値とを比較するための回路。待値比較回路107による比較結果は、判定信号保持回路108に出力されるとルビットマップデータ生成回路109に

【0032】バス／フェイル判定信号保  
持回路108、バス（Pass）／フェイル（Fail）結果を保持するための回路である。これは、セレクタ112を介してテスト2にトのバス／フェイル判定信号として使用ス／フェイル判定信号保持回路108に一度でもフェイルすると、このフェイルする。

【0033】フェイルビットマップ（F  
Map）データ生成回路109は、期待値からの比較結果と、アドレスシェーネラ発生されたアドレスに基づいて、フェイブデータを生成し、このフェイルビットLSI1の外部のSRAM3に出力する。このSRAM3に出力されたフェイデータは、バス／フェイルの判定値、フェイを含む冗長教済情報となる。

【0034】クロックシェーネレータ110を入力とし、この外部クロックの倍率に追倍し、LSI1の各内部回路システムクロックCLKを発生するためのクロックシェーネレータ110で発生したCLKを使用することにより、テスト上の高速テストが可能となる。たとえば0MHz程度の外部クロックclkを10MHz程度のシステムクロックCLKで、限界周波数が40MHz程度の比較で動作するテスト2でも、640MHz程度高い周波数で動作するLSI1の高速度が可能となっている。

【0035】被テスト回路20は、たとえ  
01.202 アドレス制御回路203、

(6)

特開2002-

9

部に出力されて、DRAM134に対するデータの書き込み／読み出しが行われる。また、この論理回路201、202は、BIST回路10のクロックジェネレータ110から発生されるシステムクロックCLKに同期して動作し、制御信号により制御される。特に、テスト時には、制御信号により論理回路201、202の活性／非活性が切り替えられ、論理回路201、202とDRAM204、またはDRAM204のみのテストが行われる。これについての詳細は図6において後述する。

【0037】アドレス制御回路203は、入力側の論理回路201からの情報に基づいて、DRAM204に対するデータの書き込み／読み出しを行う際のアドレス／メモリ制御信号を発生するための回路である。このアドレス制御回路203からのアドレス／メモリ制御信号により、DRAM204に対するアクセスが制御される。

【0038】DRAM124は、通常動作時にデータの書き込み／読み出しが行われるとともに、BIST回路12を使用したテスト時にテストの対象となるメモリ回路である。このDRAM124の構成については図3において後述する。

【0039】セレクタ205～207は、BIST回路10の制御信号ジェネレータ106から発生される制御信号により制御され、論理回路201、202による通常動作、またはLSI1の内部のBIST回路10を使用したテストの入力／出力を切り替えるための回路である。通常動作時とテスト時に、セレクタ205によりアドレス／メモリ制御信号入力が切り替えられ、セレクタ206によりデータ入力が切り替えてデータが印加され、またセレクタ207によりデータ出力が切り替えられてデータが出力される。

【0040】次に、図3により、被テスト回路を構成するDRAMの一例を説明する。図3はDRAMを詳細に示す構成図である。

【0041】DRAM204は、複数のメモリセルからなるメモリマット2041と、このメモリマット2041の行方向のアドレスを指定するためのロウデコーダ2042と、列方向のアドレスを指定するためのカラムデコーダ2043と、書き込み値の入力／読み出し値の出力を行うためのメインアンプ2044などから構成されている。ロウデコーダ2042には、ロウアドレスR0

10

Addressにより行方向を指定し、コード2043に入力されたカラムアドレンAddressにより列方向を指定し、セルを選択する。そして、書き込み駆動メインアンプ2044に入力されるライEの制御信号を活性化し、メインアンプ込み値WDを入力して選択されたメモリ書き込む。また、読み出し動作において、メモリセルのデータをメインアンプ2044に出し値Output Dataとして、【0043】以上のように構成される半ト装置、さらにLSI1のBIST回路回路20の構成、被テスト回路20のD構成において、通常動作時は、LSI1される図示しないプロセッサなどの制御により、回路20のセレクタ205、論理回路20の制御回路203を介してアドレス／メモリ204に供給する。そして、書きセレクタ206、論理回路201を介して、のデータをDRAM204の各メモリセル、また読み出しの際にはDRAM204の値を論理回路202、セレクタ207を介す。このようにして、通常動作におけるに対するデータの書き込み／読み出しをする。

【0044】また、LSI1の内部のBを使用したテスト時には、テスト2からて、外部クロックclk、BISTブロング、プログラムストローブ、BIST供给し、BIST回路10のプログラムレタイミングレジスタ102、BIST制御3、アドレスジェネレータ104、データ105、制御信号ジェネレータ106をノメモリ制御信号、データ、制御信号な制御信号により被テスト回路20のセレクタ7、論理回路201、202を制御し、5、論理回路201、アドレス制御回路アドレス／メモリ制御信号をDRAM204する。そして、書き込みの際にはセレクタ路201を介してデータをDRAM204

(7)

特開2002-

11

でテストを行うことも可能である。詳細については以下において後述する。

【0045】次に、図4、図5により、本実施の形態の半導体装置のテスト装置において、LSI1からSRAMにフェイリビットマップ情報をインターリーブ方式により取得する場合の構成の一例を説明する。図4はフェイリビットマップ情報をインターリーブ方式により取得する場合を説明するための構成図、図5はインターリーブ方式を詳細に説明するための構成図である。

【0046】図4に示すように、LSI1からSRAM3にフェイリビットマップ情報をインターリーブ方式により取得する場合には、前述したBIST回路10と被テスト回路20を含むLSI1、テスト2、SRAM3などの構成において、SRAM3がLSI1の動作周波数(640MHz)とテスト2の動作周波数(40MHz)の違いに対応して1個のLSI1に対して16個( $640/40 = 16$ )のSRAM(0)～SRAM(15)が並列に接続され、さらにLSI1と複数のSRAM3との間にインターリーブ用LSI4が設けられ、また複数のSRAM3とテスト2との間に演算器5が設けられている。

【0047】インターリーブ用LSI4は、LSI1のBIST回路10から高速で出力されるフェイリビットマップ(FBM)情報をインターリーブ方式により16個のSRAM3に振り分けるためのLSIであり、BIST回路10からフェイリビットマップ情報をシステムクロックCLKが入力される。詳細には、図5に示すように、1個のSRAM3に対して、バス(Pass)/フェイル(Fail)判定信号の保持回路401、402とORゲート403、フェイルアドレス(Fail Address)の保持回路404とセレクタ405、ライトイネーブルWE-N(WE-NはWEの反転信号)のセレクタ406、出力イネーブルOE-N(OE-NはOEの反転信号)のセレクタ407などが設けられている。クロックCLK0～CLK2はLSI1から出力されるシステムクロックCLKを使って生成され、クロックCLK0はSRAM1に供給され、またクロックCLK2に同期して保持回路401、404が動作し、クロックCLK1に同期して保持回路402が動作する。ライトイネーブルWE-N、出力イネーブルOE

12

されているSRAM3からの読み出し値SRAM3に対してデータとして書き込み401、402にリセット入力があり、データを初期化する。フェイルアドレスは、1で保持され、セレクタ405を介してSにてアドレスとして供給される。ライトINはセレクタ406を介し、出力イネーブルOE-Nはセレクタ407を介して、それぞれSRAMに供給される。また、セレクタ405～407から制御する場合には、アドレス、ライトIN、出力イネーブルOE-Nをテストすることも可能となっている。このフェイリビットマップ情報を取得する動作は図11～図16に示す。

【0049】演算器5は、各SRAM3にデータを入力とし、16個のSRAM3にフェイリビットマップ情報をバラレルーシング取り込み、テスト2による読み出し時に、テスト回路20のテスト結果としてテスト力をするための回路である。

【0050】次に、図6により、LSI1にて、論理回路を活性/非活性状態に制御の一例を説明する。図6は論理回路を活性/非活性状態に制御する場合を説明するための構成図

【0051】LSI1のテストにおいて、20の論理回路201、202を活性/非活性状態に制御する場合は、論理回路201、202が活性状態、またはDRAM204が活性状態においてLSI1の機能テストができる。

【0052】回路201、202を活性状態にした場合、論理回路201、202とDRAM204が動作状態においてLSI1の機能テストが行われる。論理回路201、202がスルーパス状態においてLSI1の機能テストが行われる。論理回路201、202がスルーパス状態においてLSI1の機能テストが行われる。

【0053】次に、図7により、テストの概略手順の一例を説明する。図7はテストの概略手順を説明するためのフロー

【0054】テストは、たとえば一例と/読み出し、マーチング チェッカー

(8)

特開2002-

13

る。書き込み／読み出し、マーチング、チェック、ディスターーリフレッシュの他に、ギャロッピング、ピンポン、ウォーキング、バタフライなどもある。

【0054】(1) テストの開始に先だって、LSI1の内部のテストプログラムを記述するプログラムレジスタ101のリセットを行う(ステップS101)。

【0055】(2) 書き込み／読み出しのテストパターンでテストを実行する。この書き込み／読み出しへは、まずテスタ2からプログラムを入力し、その後、書き込み／読み出しテストを実行する(ステップS102, S103)。この書き込み／読み出しテストでは、DRAM204を初期化した後、アドレスをインクリメントしながら“0”書き込み(write)／“0”読み出し(read)、さらに“1”書き込み／“1”読み出しを行い、続いてアドレスをデクリメントしながら“0”書き込み／“0”読み出し、さらに“1”書き込み／“1”読み出しを行い、終了となる。そして、書き込み／読み出しテストを終了した後、テスト結果を読み出してバス(Pass)／フェイル(Fail)判定を行う(ステップS104)。この判定の結果、バスの場合(ステップS105)は次のテストに進み、フェイルの場合は、フェイル(Fail)値、フェイルビットマップ(Fail Bit Map)を取得し、テスト終了となる(ステップS106～S108)。

【0056】(3) チェッカーのテストパターンでテストを実行する。このチェッカーでは、まずプログラムレジスタ101を初期化した後に、テスタ2からプログラムを入力し、その後、DRAM204のチェッカーテストを実行する(ステップS109～S111)。そして、チェッカーテストを終了した後、テスト結果を読み出してバス／フェイル判定を行う(ステップS112)。この判定の結果、バスの場合(ステップS113)は次のテストに進み、フェイルの場合は、フェイル値、フェイルビットマップを取得し、テスト終了となる(ステップS114～S116)。

【0057】(4) ディスターーリフレッシュのテストパターンでテストを実行する。このディスターーリフレッシュでは、まずプログラムレジスタ101を初期化した後に、テスタ2からプログラムを入力し、その後、DRAM204のディスターーリフレッシュテス

トを生成する場合を説明するためのタイミングでは、前述したマーチングテストを実行するパターンを生成する場合を例に示す。

【0059】テストパターンは、前述した10のプログラムレジスタ101で指定した値、期待値およびアドレスと、タイミング2で指定するタイミングをマージして生成される。例えば、書き込み値は16ビット、期待値アドレスは18ビットで指定され、0～ドレスにおけるDATA(0)～DATA(15)書き込み値、DATA(0)～DATA(15)の論理に基づいて、ロウアドレスストローク(RAS-NはRASの反転信号)、カトローブCAS-N(CAS-NはCA号)、ライトイネーブルWE-N(WE転信号)などのタイミングが生成される。次においては、最初にアドレスインクリメント“0”書き込み／“0”読み出し、“1”書き込み／“1”読み出しを行い、続いてアドレスによる“0”書き込み／“0”読み出し、“1”書き込み／“1”読み出しが行われる。

【0060】次に、図9、図10により、バス／フェイルのみの判定を行う場合の手順である。図9はテストのバス／フェイルのみの手順を説明するためのフロー図、図10はタイミング図である。

【0061】(1) LSI1の外部のSIIに対して外部クロックCLKを入力する。CLKを遅延してシステムクロックCLKを生成し、このシステムクロックCLKに同期してBISTを実行する(ステップS201)。さらにはLSI1に対してBIST活性化信号、BIST活性化信号によってBIST動作(ステップS202)。そして、BISTタイミング、プログラムストロークを入力してストバターンを生成してテストを行う(ステップS203)。ここで、LSI1の外部のテストとなり、LSI1の内部の動作に移行する。

【0062】(2) LSI1の内部のBISTにおいて、BISTプログラム／タイミング

## (9) 特開2002-

15

動作状態における機能テストや、非活性状態にしたDRAM204のみのDRAMテストを行う（ステップS206）。

【0063】(13) アドレスシェーラータ104からロウアドレスRow Address、カラムアドレスColumn Addressのアドレス、ロウアドレスストローブRAS、カラムアドレスストローブCA-S、ライトイネーブルWEのメモリ制御信号、データシェーラータ105から書き込み値WDをそれぞれ発生し、被テスト回路20のDRAM204にデータを書き込む（ステップS207）。さらに、アドレス/メモリ制御信号を発生し、DRAM204のデータを読み出し値Output Dataとして読み出す（ステップS208）。そして、期待値比較回路107において、読み出し値を書き込み値の期待値と比較する（ステップS209）。この比較の結果、一致したときのバス(Pass)、一致しないときのフェイル(Fail)のバス/フェイル判定信号を、バス/フェイル判定信号保持回路108に保持する（ステップS210）。このバス/フェイル判定信号は、一度フェイルしたときにロックされるモードを使用する。これを、アドレスをインクリメントまたはデクリメントしながら繰り返す。そして、全てのアドレスについて実行したらテストプログラムが終了する（ステップS211）。ここで、LSI1の外部の動作に移行する。

【0064】(14) テスタ2で、LSI1のバス/フェイル判定信号保持回路108に保持されたバス/フェイル判定信号を読み出す（ステップS212）。これにより、バス/フェイルのみの判定を行う場合のテストが終了する（ステップS213）。

【0065】次に、図11、図12により、テストのフェイルビットマップ情報を出力する場合の手順の一例を説明する。図11はテストのフェイルビットマップ情報を出力する場合の手順を説明するためのフロー図、図12はそのタイミング図である。

【0066】テストのフェイルビットマップ情報を出力する場合の手順は、前述したテストのバス/フェイルのみの判定を行う場合の手順と、ステップS301～S309については同じなので説明を省略し、ステップ310からの手順を説明する。

16

は、バス(Pass)/フェイル(Fail)、ロウアドレスRow Address、カラムアドレスColumn Address、Data[13]Pass/Fail判長情報をある。

【0068】(22) LSI1の内部にプログラムが終了すると（ステップS311）の外部の動作に移行する。そして、DRAM3に保持されたフェイルビットマップ（ステップS313）。これにより、マップ情報を出力する場合のテストが終る（ステップS314）。

【0069】次に、図13、図14、図15でフェイルビットマップ情報を取得の一例を説明する。図13はテスタでファッブ情報を取得する場合の手順を説明する。図14、図15はそのタイミング図。

【0070】テスタ2でフェイルビットを得する場合は、SRAM3への書き込みの読み出し、SRAM3の初期化を行なう（ステップS401）。SRAM3へのアドレス、ライトイネーブルWE-Nの入力をBの側に切り替える（ステップS401）。4のタイミングに従い、16個のSRAM3データ[0]～[15]バス(Pass/Fail)判定信号の論理和を書き込みクロックCLK0～CLK2に同期させ（イネーブル）、ライトイネーブルWE（15）、出力イネーブルOE-N（0）印加して制御する。

【0071】(31) SRAM3からのデータ[0]～[15]バス(Pass/Fail)判定信号の論理和を書き込みクロックCLK0～CLK2に同期させ（イネーブル）、ライトイネーブルWE（15）、出力イネーブルOE-N（0）印加して制御する。

【0072】(32) SRAM3からのデータ[0]～[15]バス(Pass/Fail)判定信号の論理和を書き込みクロックCLK0～CLK2に同期させ（イネーブル）、ライトイネーブルWE（15）、出力イネーブルOE-N（0）印加して制御する。

(10)

特開2002-

17

方式により、各SRAM3に“0”の書き込みを行う（ステップS406）。すなわち、各SRAM(0)～(15)にアドレスを入力し、リセット入力に“1”を書き込む。このとき、クロックCLK0に同期させ、ライトイネーブルWE-N、出力イネーブルOE-Nを印加して制御する。

【0074】以上のようにして、SRAM3への書き込み、SRAM3からの読み出し、SRAM3の初期化を行うことで、テスタ2でフェイルビットマップ情報を取得することができる。

【0075】従って、本実施の形態の半導体装置、この半導体装置のテスト装置、さらにテスト方法によれば、LSI1の内部のBIST回路10をプログラムレジスタ101、タイミングレジスタ102、BIST制御論理回路103、アドレスシェネレータ104、データシェネレータ105、制御信号シェネレータ106、期待値比較回路107、バス／フェイル判定信号保持回路108、フェイルビットマップデータ生成回路109、クロックシェネレータ110などから構成し、さらにLSI1とテスタ2の間にSRAM3を接続した構成として、以下のような効果を得ることができる。

【0076】(1)バス／フェイル判定信号を保持するためのバス／フェイル判定信号保持回路108、フェイルビットマップ情報を高速で出力するためのフェイルビットマップデータ生成回路109をBIST回路10の内部に設けることにより、LSI1の外部の高速なSRAM3に、高速で被テスト回路20のDRAM204のフェイルビットマップ情報を出力し、テスト終了後に低速なテスタ2でSRAM3に蓄えておいたフェイルビットマップ情報を低速で読み出すことができる。

【0077】(2)LSI1とテスタ2の間に高速なSRAM3を設けることにより、テスト実行中に、SRAM3の動作周波数の数倍の周波数で出力されるフェイルビットマップの冗長教済情報を高速でSRAM3にインターリープ方式により書き込むことができるので、テスト終了後に低速でテスタ2に読み出すことが可能となる。

【0078】(3)前記(1)、(2)により、フェイルビットマップの冗長教済情報の情報量、外部クロックc1kを過倍したテスタ2の限界周波数以上の周波数で

18

特にマージン不良などの不良検出率向上能となる。

【0080】(5)前記(4)により、出率が飛躍的に向上するため、BISTしたDRAM204の不良スクリーニングができる。すなわち、メモリ制御信号が固定された従来のBIST回路では、マージン不良が多い回路の十分なスクリーニング不可能であったが、本実施の形態のよレジスタ102を設けることでスクリーニングとなる。

【0081】(6)BIST回路10の回路20の論理回路201、202の制御するための制御信号シェネレータ10により、論理回路201、202を活性化は論理回路201、202とDRAM204を通常動作状態をテストすることができる。201、202を非活性状態にしたとき、4のみを直接テストすることができる。

【0082】以上、本発明者によってなされた実施の形態に基づき具体的に説明した記実施の形態は固定されるものではなく、脱しない範囲で種々変更可能であるといふ。

【0083】たとえば、前記実施の形態部にDRAMを有するLSIのテストを説明したが、本発明は、特に汎用DRAMに効果的であり、さらにSRAMモリ回路を有する半導体装置などにも広がることができる。

【0084】

【発明の効果】本願において開示される実的なものによって得られる効果を簡単に以下とおりである。

【0085】(1)バス／フェイルの検出するための回路の他に、フェイルアドレ報を高速で出力するための回路を設けるの外部の高速なSRAMに高速で冗長教済することができるので、テスト終了後に低速RAMに蓄えておいた冗長教済情報を低

(11)

特開2002-

19

路数、テスト周波数を容易に大きくすることができるため、メモリの歩留まり、性能の向上を実現することができる。

【0087】(3) BIST回路内にメモリ制御信号のタイミングを設定するレジスタを設けることで、メモリテスト時にメモリ制御信号のタイミングを自由に設定することができるので、特にマシン不良などの不良検出率が向上し、この結果、BIST回路を使用したDRAMの不良スクリーニングが可能となる。

【0088】(4) BIST回路内に論理回路の活性／非活性を制御する回路を設けることで、論理回路の活性／非活性を切り替えることができるので、論理回路を活性状態にしたときは論理回路とメモリ回路が接続された通常動作状態をテストすることができ、また論理回路を非活性状態にしたときはメモリ回路のみを直接テストすることが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体装置のテスト装置を示す概略構成図である。

【図2】本発明の一実施の形態において、LSIを構成するBIST回路、被テスト回路を詳細に示す構成図である。

【図3】本発明の一実施の形態において、被テスト回路を構成するDRAMを詳細に示す構成図である。

【図4】本発明の一実施の形態において、LSIからSRAMにフェイブルビットマップ情報をインターリープ方式により取得する場合を説明するための構成図である。

【図5】本発明の一実施の形態において、インターリープ方式を詳細に説明するための構成図である。

【図6】本発明の一実施の形態において、論理回路を活性／非活性状態に制御する場合を説明するための構成図である。

【図7】本発明の一実施の形態において、テストを実行する場合の概略手順を説明するためのフロー図である。

【図8】本発明の一実施の形態において、テストパターンを生成する場合を説明するためのタイミング図である。

【図9】本発明の一実施の形態において、テストのパス／フェイブルのみの判定を行う場合の手順を説明するためのフロー図である。

20

るためのフロー図である。

【図12】本発明の一実施の形態において、フェイブルビットマップ情報を出力する場合を説明するためのそのタイミング図である。

【図13】本発明の一実施の形態において、フェイブルビットマップ情報を取得する場合を説明するためのフロー図である。

【図14】本発明の一実施の形態において、フェイブルビットマップ情報を取得する場合(Mへの書き込み)を説明するためのタイミング図である。

【図15】本発明の一実施の形態において、フェイブルビットマップ情報を取得する場合(Mからの読み出し、SRAMの初期化)を説明するためのタイミング図である。

#### 【符号の説明】

1 LSI

10 BIST回路

101 プログラムレジスタ

102 タイミングレジスタ

103 BIST制御論理回路

104 アドレスシェネレータ

105 データシェネレータ

106 制御信号シェネレータ

107 期待値比較回路

108 パス／フェイブル判定信号保持回路

109 フェイブルビットマップデータ生成器

110 クロックシェネレータ

111, 112 セレクタ

20 被テスト回路

201, 202 論理回路

203 アドレス制御回路

204 DRAM

2041 メモリマット

2042 ロウデコーダ

2043 カラムデコーダ

2044 メインアンプ

205~207 セレクタ

2 テスター

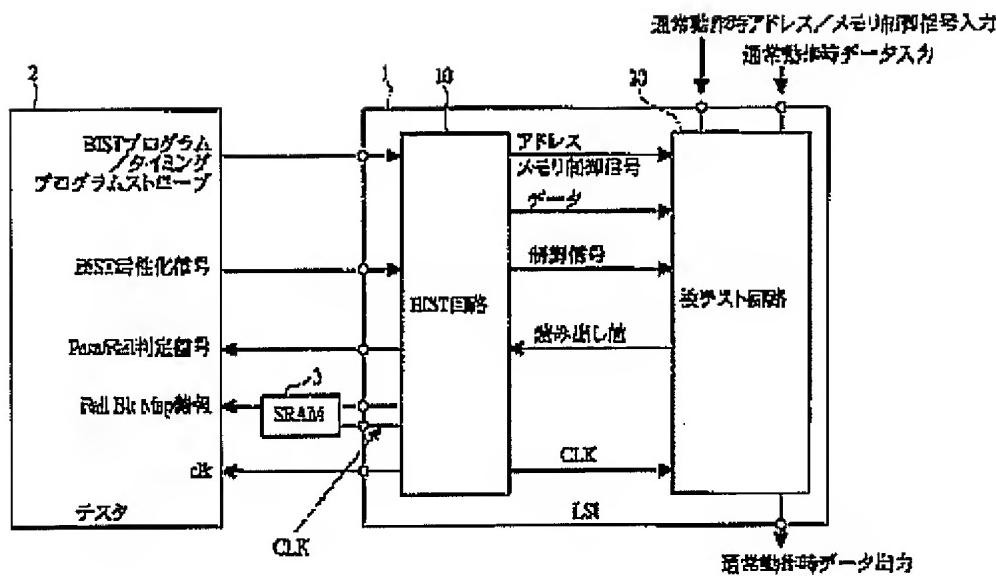
40 3 SRAM

(12)

特號2002 -

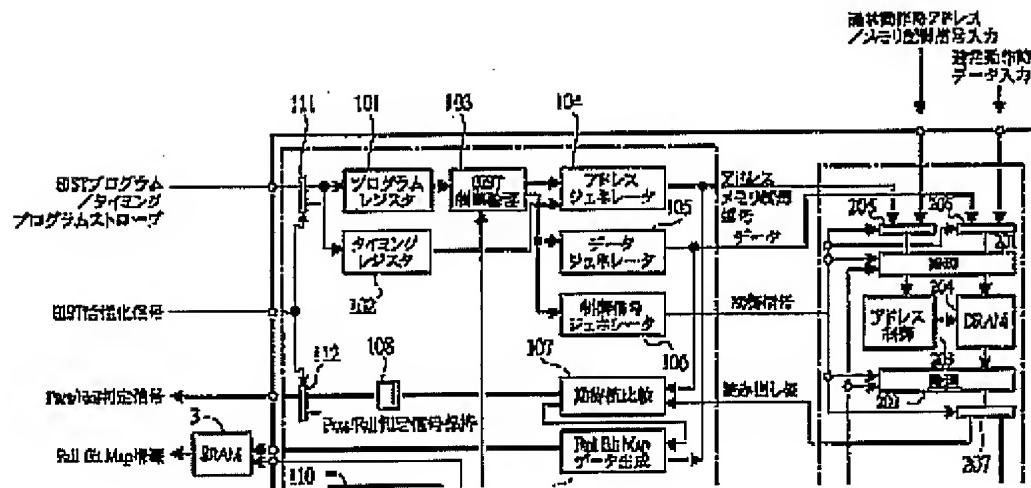
[图 1]

7



[圖2]

2

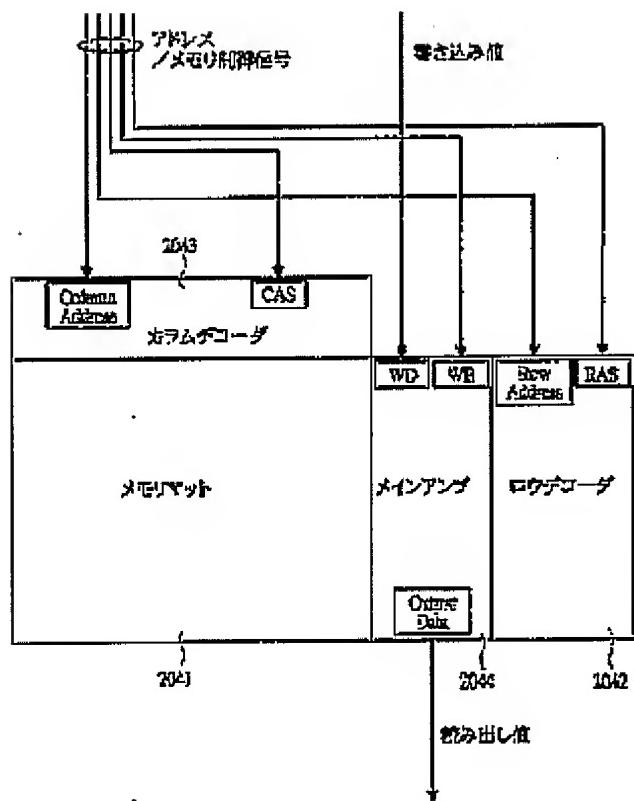


(13)

特開2002-

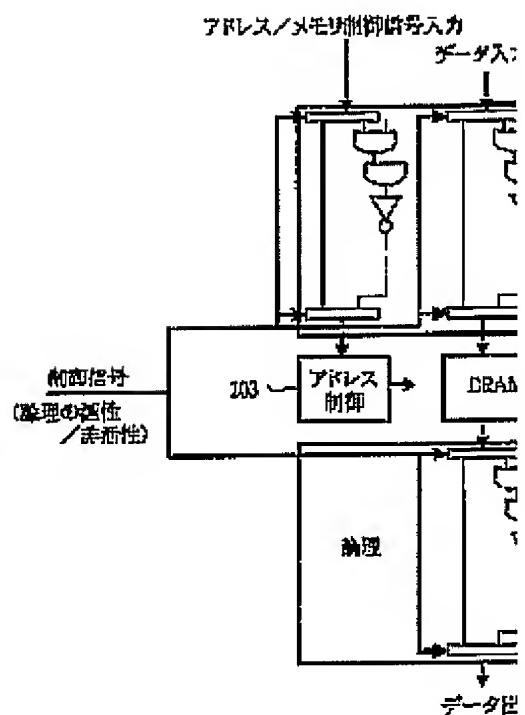
【図3】

図3

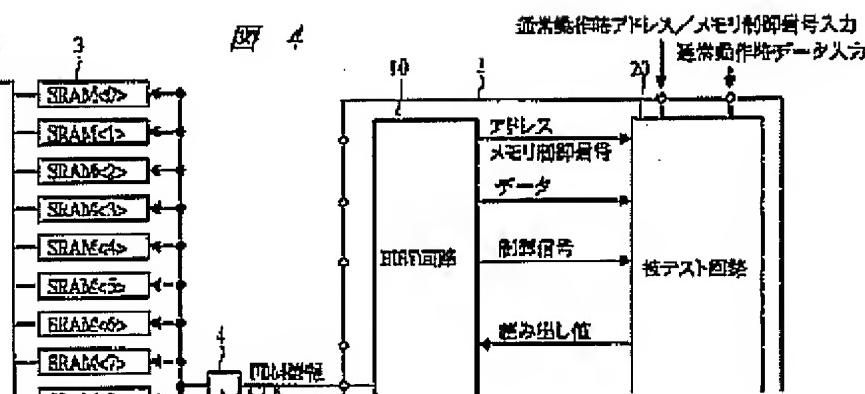


【図6】

図6



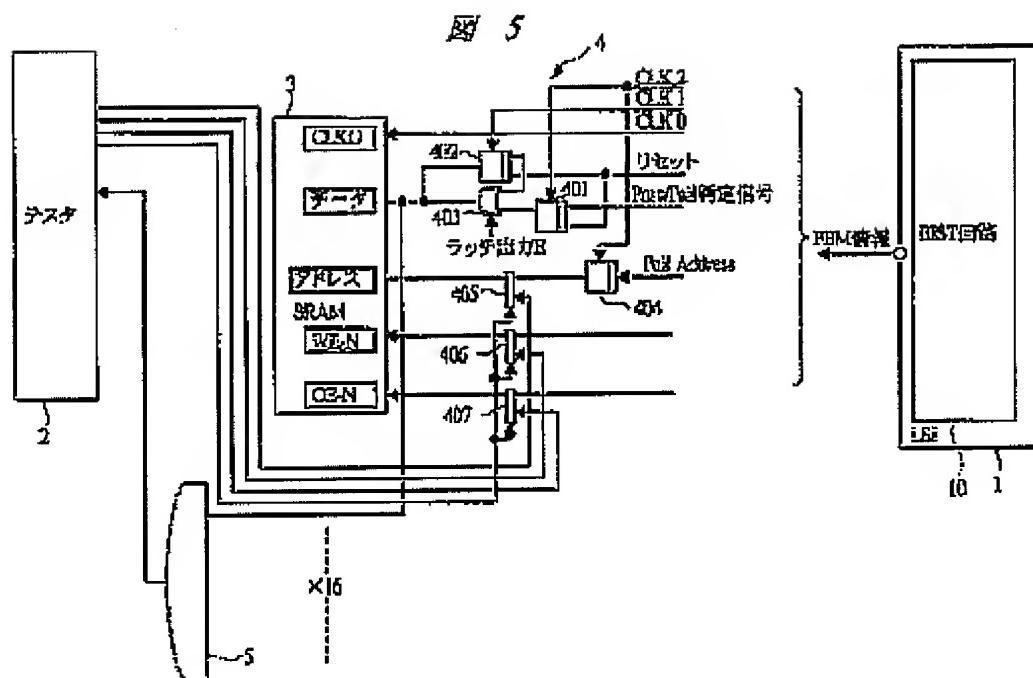
【図4】



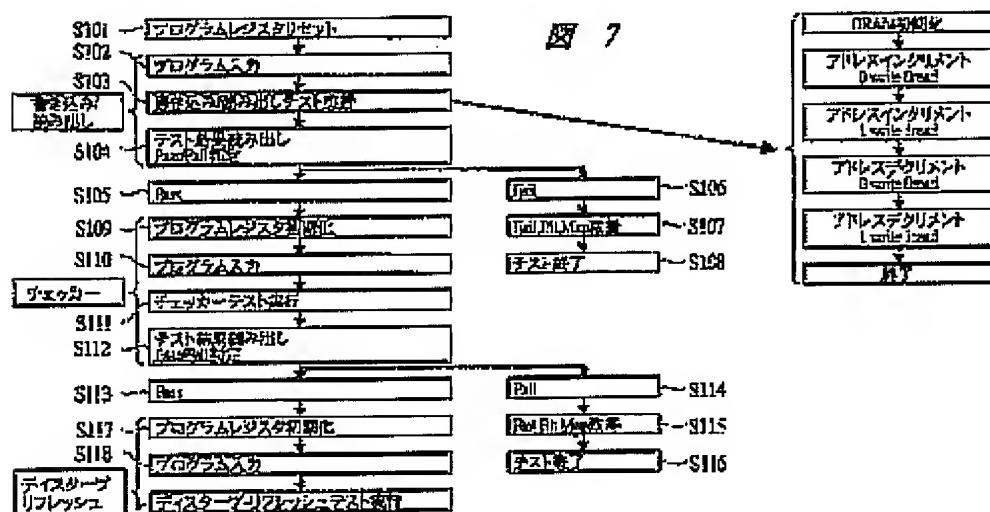
(14)

特開2002-

[図5]



[図7]

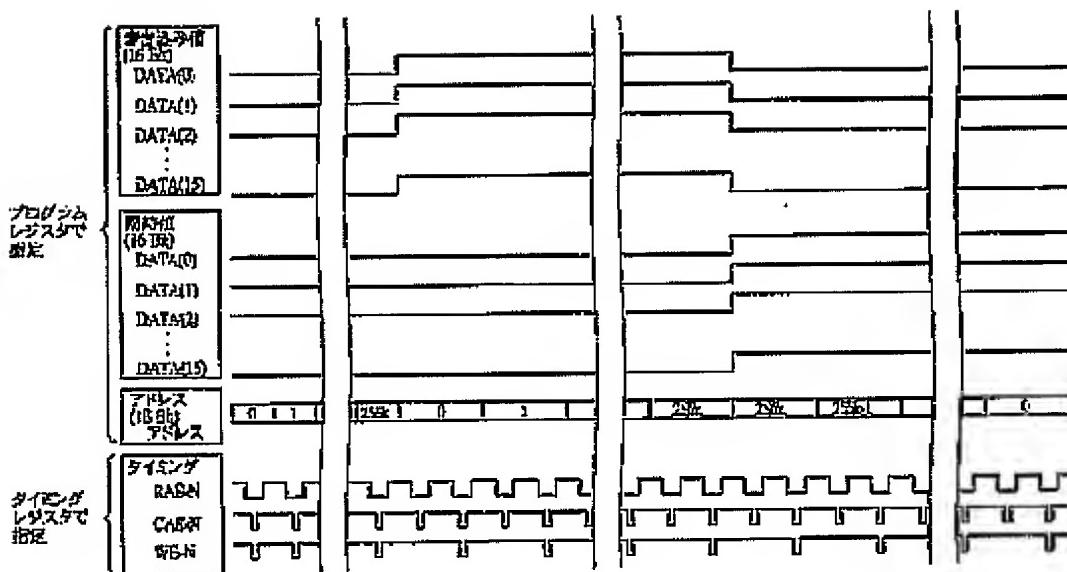


(15)

特開2002-

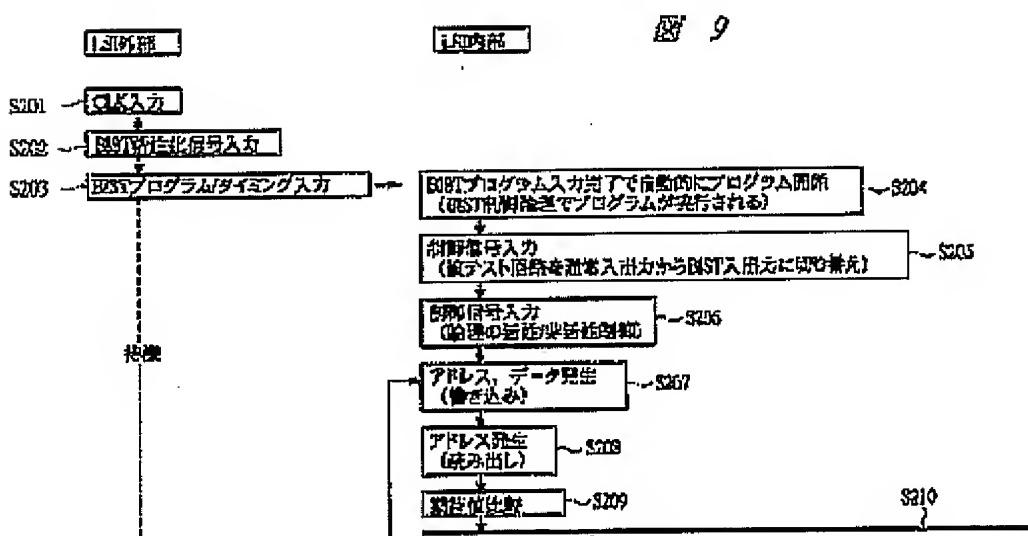
[図8]

図 8



[図9]

図 9



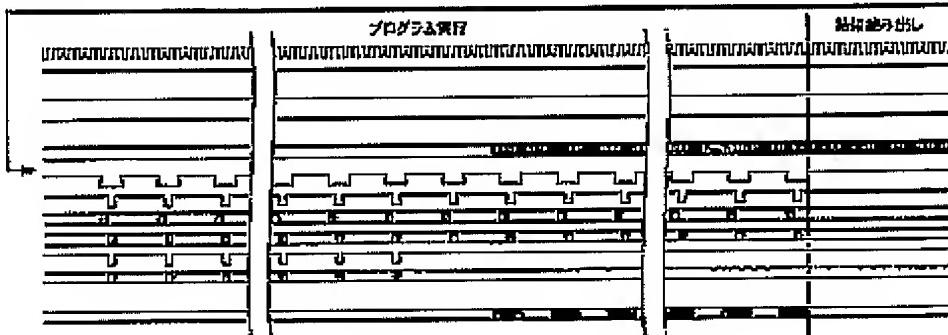
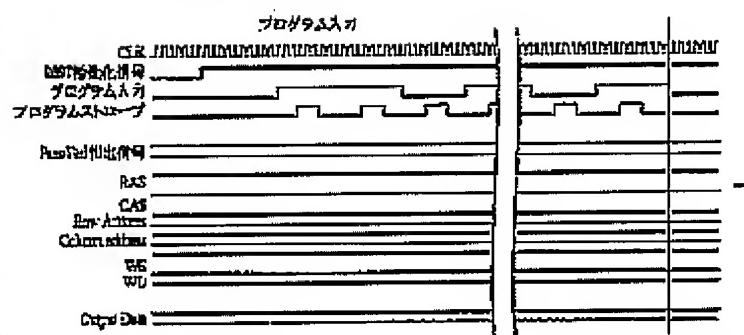
(15)

特開2002-

[図10]

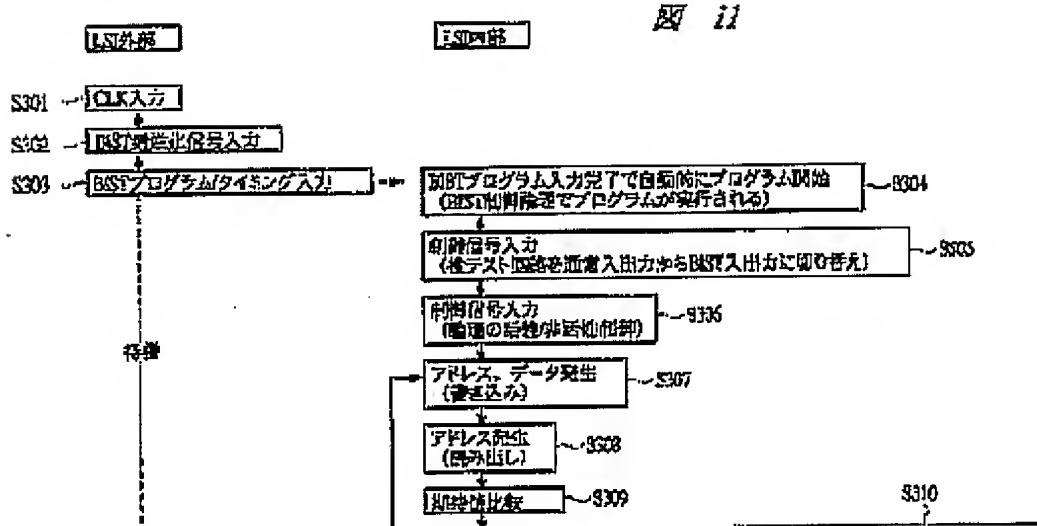
図10

区分	入力出力
L9	入力
	出力
LS内部	テスト回路への 入力
	（テスト回路からの 出力）



[図11]

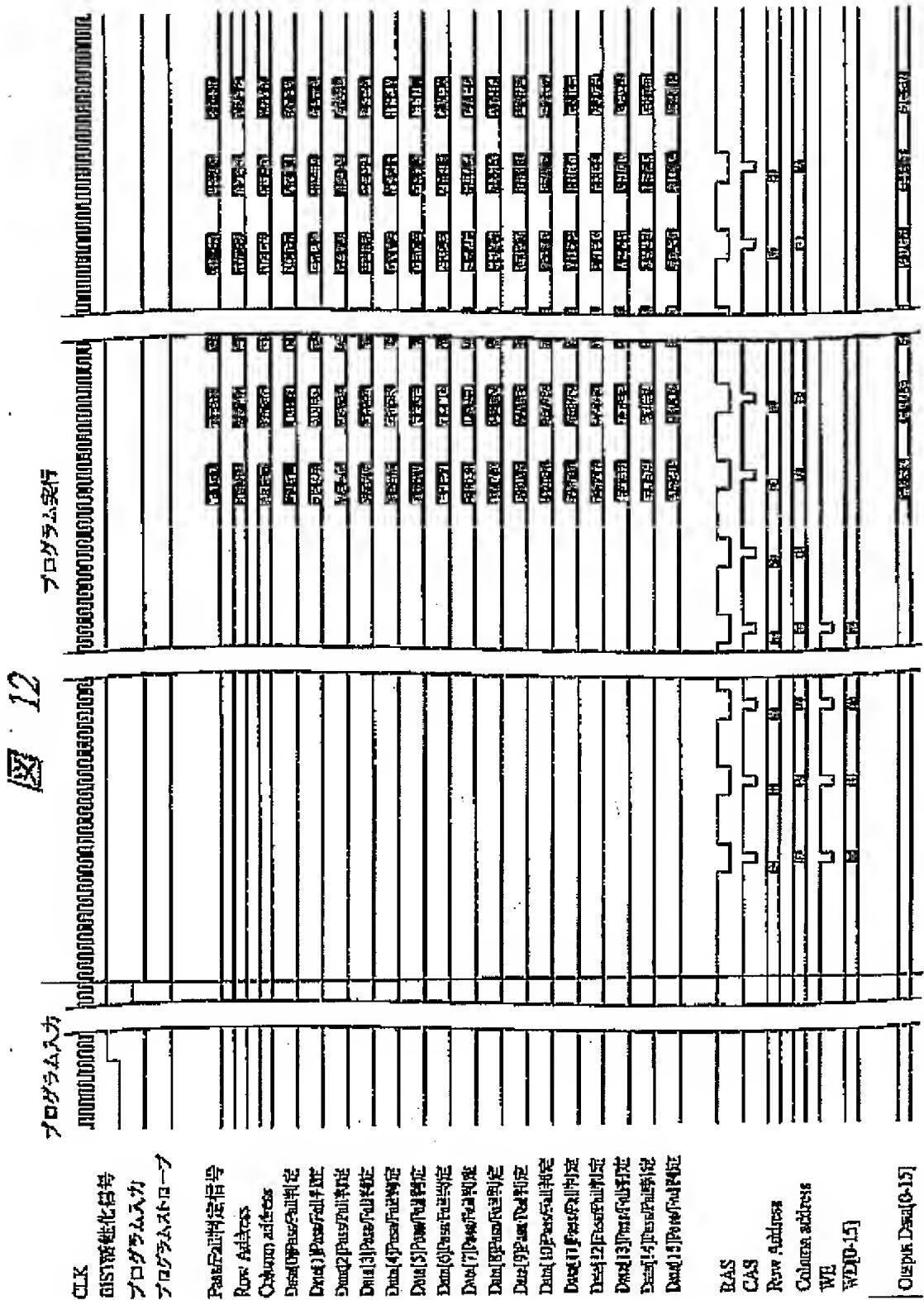
図11



(17)

特關2002-

[圖 12]

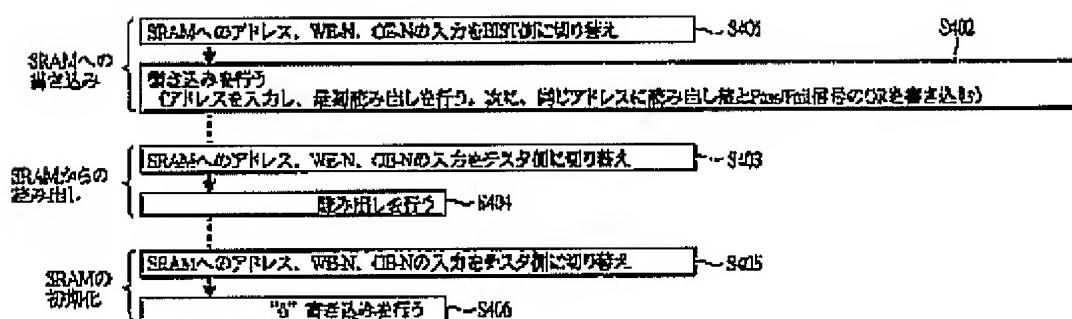


193

特闢 2002 -

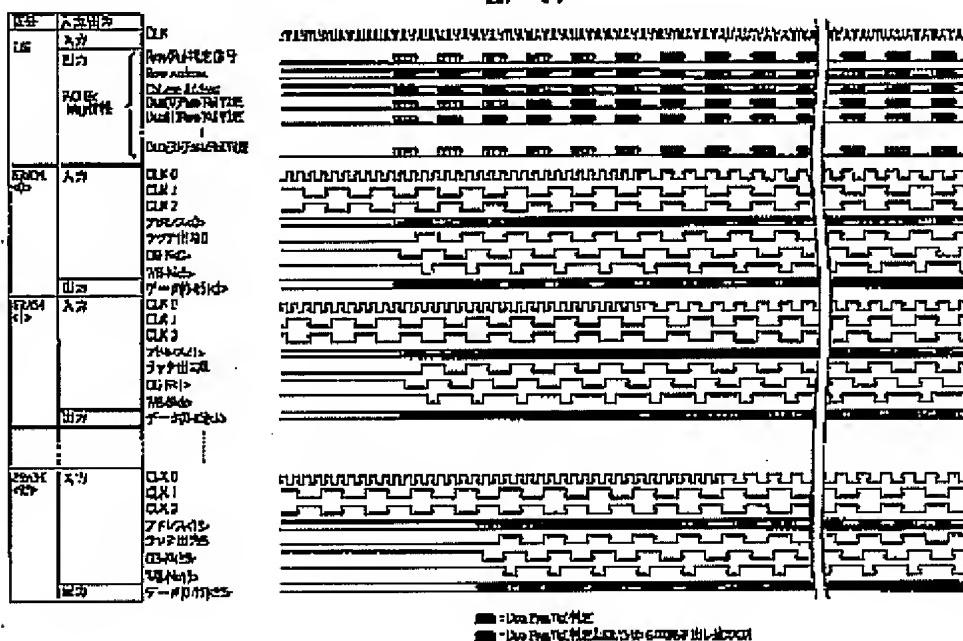
[图 13]

13



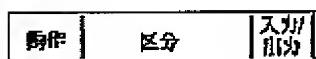
[2] 141

14



[图 15]

15



(19)

特開2002-

## フロントページの続き

(51) Int.CI.

識別記号

F 1  
G 01 R 31/28

Q

(72)発明者 長谷川 雅俊  
 東京都青梅市新町六丁目16番地の3 株式  
 会社日立製作所デバイス開発センタ内

(72)発明者 小林 敏  
 東京都青梅市新町六丁目16番地の3 株式  
 会社日立製作所デバイス開発センタ内

(72)発明者 中山 道明  
 東京都青梅市新町六丁目16番地の3 株式  
 会社日立製作所デバイス開発センタ内

(72)発明者 柳原 秀樹  
 東京都青梅市新町六丁目16番地の3 株式  
 会社日立製作所デバイス開発センタ内

(72)発明者 北村 嘉章  
 東京都小平市上水本町5丁目22番1号 株  
 式会社日立超エル・エス・アイ・システム  
 ズ内

(72)発明者 横山 真治  
 東京都青梅市新町六丁目16  
 会社日立製作所デバイス開  
 発センタ内

(72)発明者 宮岡 繁一  
 東京都青梅市新町六丁目16  
 会社日立製作所デバイス開  
 発センタ内

(72)発明者 海本 美雄  
 神奈川県秦野市堀山下1番  
 号 株式会社日立製作所エンタープライズ

(72)発明者 西山 隆  
 神奈川県秦野市堀山下1番  
 号 株式会社日立製作所エンタープライズ

(72)発明者 久米 正二  
 神奈川県秦野市堀山下1番  
 号 株式会社日立製作所エンタープライズ

F ターム(参考) 2G132 AA08 AB01 AB03  
 AI29  
 5L106 AA01 DD24 EE02